

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 4 月 10 日 (10.04.2003)

PCT

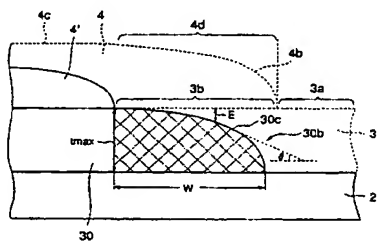
(10) 国際公開番号  
WO 03/029889 A1

- (51) 国際特許分類<sup>7</sup>: G02F 1/1343, 1/1335 (72) 発明者; および  
(21) 国際出願番号: PCT/JP02/10136 (75) 発明者/出願人 (米国についてのみ): 浜脇 嘉彦  
(22) 国際出願日: 2002 年 9 月 27 日 (27.09.2002) (HAMAWAKI, Yoshihiko) [JP/NL]; NL-5656 アーアー  
(25) 国際出願の言語: 日本語 (74) 代理人: 津軽 進, 外 (TSUGARU, Susumu et al.); 〒  
(26) 国際公開の言語: 日本語 108-8507 東京都 港区 港南2-13-37 フィリップスビル  
(30) 優先権データ: 特願2001-302579 2001 年 9 月 28 日 (28.09.2001) JP (日本フィリップス株式会社内 Tokyo (JP)).  
(71) 出願人 (米国を除く全ての指定国について): コー  
ニンクレッカ フィリップス エレクトロニクス エ  
ヌ ヴィ (KONINKLIJKE PHILIPS ELECTRONICS  
N.V.) [NL/NL]; NL-5621 ペーアー アインドーフェン  
フルーネヴァウツウェッハ 1 Eindhoven (NL). (81) 指定国 (国内): CN, KR, US.  
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL,  
PT, SE, SK, TR).  
添付公開書類:  
— 国際調査報告書

[続葉有]

(54) Title: REFLECTING ELECTRODE FORMING METHOD AND LIQUID CRYSTAL DISPLAY

(54) 発明の名称: 反射電極形成方法及び液晶表示装置



(57) Abstract: A reflecting electrode forming method realizing reduction in number of manufacturing steps and manufacturing cost and a liquid crystal display manufactured by using the method. A resist film is applied to a reflecting electrode film (3) and exposed to light and developed, leaving the remainder (4) of the resist film having a large number of holes (4a). The reflecting electrode film (3) is dry-etched by using the remainder (4) as a mask. By this etching, a reflecting electrode (30) having a large number of holes (30a) is formed in each pixel. The reflecting electrode (30) can have a desired reflection characteristic because thickness varying regions (30b) the thickness of each of which varies continuously are provided around the holes (30a).

(57) 要約:

製造工程数及び製造コストの削減が図られた反射電極形成方法及びこの方法が適用された液晶表示装置を提供する。反射電極膜 3 の上にレジスト膜を塗布し、このレジスト膜を露光及び現像することにより、多数の孔 4 a を有するレジスト膜の残部 4 を残し、この残部 4 をマスクとして反射電極膜 3 をドライエッチングする。この残部 4 をマスクとして反射電極膜 3 をドライエッチングすることにより、各画素に、多数の孔 3 0 a を有する反射電極 3 0 が形成される。この孔 3 0 a の周囲には、厚さが連続的に変化する厚さ変化領域 3 0 b が設けられるため、反射電極 3 0 に所望の反射特性を持たせることができる。

WO 03/029889 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 反射電極形成方法及び液晶表示装置

## 5 技術分野

本発明は、反射電極を形成する反射電極形成方法、及びこの反射電極形成方法を用いて形成された反射電極を有する液晶表示装置に関する。

## 背景技術

- 10 反射電極を有する液晶表示装置では、反射電極に所望の反射特性を持たせるために、反射電極に凹部又は凸部を設けることが行われている。

反射電極に凹部又は凸部を設けるためには、反射電極の下に、所定の形状にパターニングされた感光性樹脂を形成する必要があるため、製造工程数及び製造コストが増加するという問題がある。

- 15 本発明は、上記の事情に鑑み、製造工程数及び製造コストの削減が図られた反射電極形成方法及びこの方法が適用された液晶表示装置を提供することを目的とする。

## 発明の開示

- 20 上記目的を達成する本発明の電極形成方法は、基板上に複数の反射電極を形成する反射電極形成方法であって、前記基板上に前記反射電極の材料を有する第1の膜を形成する工程と、前記第1の膜の、前記反射電極に対応する部分が残るように、前記第1の膜をパターニングする工程とを備え、前記パターニングする工程が、前記第1の膜の前記反射電極に対応する部分に、前記第1の膜
- 25 の厚さが連続的に変化する厚さ変化領域を形成することを特徴とする。

本発明の反射電極形成方法では、第1の膜の反射電極に対応する部分に、第1の膜の厚さが連続的に変化する厚さ変化領域を形成している。これにより、

複数の反射電極の各々に、厚さ変化領域を形成することができる。反射電極の各々に厚さ変化領域を形成することで、反射電極に良好な反射特性を持たせることが可能となる。更に、本発明の反射電極形成方法では、この厚さ変化領域の形成は、反射電極に対応する部分が残るように第1の膜をパターンニングする  
5 ときに一緒に行われる。従って、本発明の反射電極形成方法では、良好な反射特性を有する反射電極を形成するために、反射電極に対応する部分が残るように第1の膜をパターンニングする工程の他に、厚さ変化領域を形成する専用の工程を新たに設ける必要が無く、製造工程数を増やさずに所望の拡散特性を有する反射電極を形成することが可能となる。

10 ここで、本発明の反射電極形成方法は、前記パターンニングする工程が、前記厚さ変化領域が0度より大きく10度より小さい傾斜角を有するように前記厚さ変化領域を形成することが好ましい。

前記厚さ変化領域に上記の傾斜角を持たせることにより、反射電極に良好な反射特性を持たせることができる。

15 また、本発明の反射電極形成方法は、前記パターンニングする工程が、前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が1.5以上となるように、前記厚さ変化領域を形成することが好ましい。

1.5以上の比にすることにより、厚さ変化領域に0度より大きく10度より小さい傾斜角を容易に設けることができる。

20 さらに、本発明の反射電極形成方法は、前記パターンニングする工程が、前記第1の膜の上に感光性膜を形成する第1工程と、前記感光性膜を露光及び現像することにより、前記感光性膜を前記複数の反射電極のパターンに対応する形状にパターンニングする第2工程と、前記パターンニングされた感光性膜をポスト  
25 第1の膜をドライエッチングする第3工程とを備えたことが好ましい。

ポストバークされた感光性膜をマスクとして、第1の膜をドライエッチングすることにより、反射電極に容易に厚さ変化領域を形成することが可能となる。

また、本発明の反射電極形成方法は、複数の画素領域の各々に前記反射電極が一つ形成され、前記反射電極の各々は複数の孔を有するものであり、前記第2工程が、前記感光性膜の、前記複数の反射電極の各々の周囲に対応する部分と、前記複数の孔の各々に対応する部分とが除去されるように、前記感光性膜をパターニングする工程であることが好ましい。

上記のように感光性膜をパターニングすることにより、複数の画素領域の各々に、複数の孔を有する反射電極1つ形成することが可能となる。

また、本発明の反射電極形成方法は、複数の画素領域の各々に前記反射電極が少なくとも2つ形成され、前記第2工程が、前記感光性膜の、前記複数の反射電極の各々の周囲に対応する部分が除去されるようにパターニングする工程であることが好ましい。

上記のように感光性膜をパターニングすることにより、複数の画素領域の各々に複数の反射電極を形成することが可能となる。

また、本発明の反射電極形成方法は、前記第1の膜を形成する工程の前に、複数の透明電極を形成する工程を備えたことが好ましい。

透明電極を形成することにより、反射型モードと透過型モードとの両方のモードで駆動可能な液晶表示装置を構成することができる。

また、本発明の液晶表示装置は、基板上に複数の反射電極を有する液晶表示装置であって、前記複数の反射電極の各々が、当該反射電極の厚さが連続的に変化する厚さ変化領域を有することを特徴とする。

更に、本発明の液晶表示装置は、複数の画素領域の各々に前記反射電極が一つ形成され、前記複数の反射電極の各々は複数の孔を有するものであり、前記厚さ変化領域が、前記孔の周縁部に設けられてもよく、ここで、前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が、1.5以上であることが好ましい。

また、本発明の液晶表示装置は、複数の画素領域の各々に前記反射電極が少なくとも2つ以上形成され、前記厚さ変化領域が、前記複数の反射電極の各々

の周縁部に設けられてもよく、ここで、前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が、1.5以上であることが好ましい。

また、本発明の液晶表示装置は、前記厚さ変化領域が、0度より大きく10度より小さい傾斜角を有することが好ましい。

5

#### 図面の簡単な説明

図1は、本発明の液晶表示装置の一例である半透過型の液晶表示装置を示す平面図である。

図2は、図1のI-I方向の断面図である。

10 

図3は、走査電極2が形成された基板1を示す平面図である。

図4は、図3のII-II方向の断面図である。

図5は、反射電極膜3を形成した後の基板の平面図である。

図6は、図5のIII-III方向の断面図である。

図7は、レジスト膜を露光及び現像した後の基板を示す平面図である。

15 

図8は、図7のIV-IV方向の断面図である。

図9は、レジスト膜の残部4をポストバークした後の基板の断面図である。

図10は、図9に示す領域Zの拡大図である。

図11は、反射電極膜3をドライエッチングした後の基板の平面図である。

図12は、図11のV-V方向の断面図である。

20 

図13は、図12に示す部分Zの拡大図である。

図14は、反射電極の下に下地層を有する基板の平面図である。

図15は、図14に示すVI-VI方向の断面図である。

図16は、図7とは異なる形状の残部が残るようにレジスト膜を露光、現像した直後の平面図である。

25 

図17は、図16のVII-VII方向の断面図である。

図18は、レジスト膜の残部40をポストバークした後の基板の断面図である。

図19は、図18に示す領域Zの拡大図である。

図20は、反射電極膜3をドライエッチングした後の断面図である。

発明を実施するための最良の形態

- 5     以下、本発明の実施形態について、半透過型の液晶表示装置を用いて説明するが、本発明は、例えば、透過型の機能を備えず反射型の機能のみを備えた液晶表示装置にも適用できることに注意されたい。

図1は、本発明の液晶表示装置の一例である、単純マトリクス方式の半透過型液晶表示装置を示す平面図、図2は、図1のI-I方向の断面図である。

- 10     この液晶表示装置100は、液晶層60（図2参照）を挟んで対向する2枚の基板1及び50を有している。図1には、基板1の一部が見えるように、基板50の一部は破断された状態で示されており、図2では、基板1及び50に形成されている電極等は図示省略している。基板1には、x方向に延在する走査電極2（後述する例えば図3参照）が形成され、この走査電極2には、画素領域の各々に対応する領域に反射電極30が形成されている。もう一方の基板
- 15     50には、y方向に延在するデータ電極51が形成されている。基板1の背面には、バックライト70が備えられている。

以下、本実施形態の特徴部分である反射電極30が形成された基板1の製造方法について説明する。

- 20     先ず基板1に走査電極2を形成する（図3参照）。

図3は、走査電極2が形成された基板1を示す平面図、図4は、図3のII-II方向の断面図である。

- 基板1上には、x方向に延在する走査電極2が形成されている。この走査電極2は、基板1上に光透過性膜（例えばITO膜）を形成し、この光透過性膜を走査電極2に対応する形状にパターニングすることにより形成される。尚、
- 25     図3には、走査電極2は2本のみが示されているが、実際には多数の走査電極2が形成されることに注意されたい。走査電極2を形成した後、反射電極30

を形成するための反射電極膜 3 を形成する（図 5 及び図 6 参照）。

図 5 は、反射電極膜 3 を形成した後の基板の平面図、図 6 は、図 5 の III-III 方向の断面図である。

本実施形態では、反射電極膜 3 を、Ti や Mo 等の高融点の金属材料と、Al 等の金属材料とを積層することにより形成しているが、他の材料を用いることも可能である。また、反射電極膜 3 は単層構造にしてもよい。反射電極膜 3 を形成した後、反射電極膜 3 をパターンニングして反射電極 30（図 1 参照）を形成する。反射電極膜 3 をパターンニングするために、この反射電極膜 3 の上に、レジストを塗布してレジスト膜を形成し、このレジスト膜を露光、現像する（図 7 及び図 8 参照）。

図 7 は、レジスト膜を露光及び現像した後の基板を示す平面図、図 8 は、図 7 の IV-IV 方向の断面図である。

本実施形態では、画素領域の各々に対応する部分にレジスト膜の残部 4 が残るように、レジスト膜を露光及び現像する。図 7 及び図 8 では、この残部 4 が存在する部分を斜線で示してある。この残部 4 には、反射電極膜 3 を露出させるための多数の孔 4a が形成されている。レジスト膜を露光及び現像した後、このレジスト膜の残部 4 をポストバークする（図 9 参照）。

図 9 は、レジスト膜の残部 4 をポストバークした後の基板の断面図、図 10 は、図 9 に示す領域 Z の拡大図である。

レジスト膜の残部 4 をポストバークする前（図 8 参照）では、孔 4a の各々の内壁面 4b は、基板 1 の表面に対し垂直に広がるように形成されている。しかしながら、レジスト膜の残部 4 をポストバークすると、この残部 4 が溶融するため、内壁面 4b の形状が図 10 に示すように丸みを帯びた形状に変化する。この内壁面 4b の形状の変化により、孔 4a の周縁部 4d の厚さは、内壁面 4b から残部 4 の上面 4c に向かうにつれて連続的に増加する。レジスト膜の残部 4 をポストバークした後、この残部 4 をマスクとして反射電極膜 3 をドライエッチングする（図 11 及び図 12 参照）。



図 1 1 は、反射電極膜 3 をドライエッチングした後の基板の平面図、図 1 2 は、図 1 1 の V-V 方向の断面図である。

- 反射電極膜 3 をドライエッチングすることにより、残部 4 で覆われている部分は除去されずに残り、この残部 4 で覆われている部分の周囲が除去される。
- 5 従って、残部 4 の各々の下に、反射電極 3 0 が形成される。エッチングガスとしては、例えば  $\text{BCl}_3/\text{Cl}_2$  を用いることができる。図 1 1 では、左上の残部 4 を一部破断することにより、この左上の残部 4 の下に形成された反射電極 3 0 の一部も示している。残部 4 の各々は多数の孔 4 a を有するため、反射電極膜 3 をドライエッチングすると、反射電極 3 0 の各々に、走査電極 2 を露出
- 10 するための多数の孔 3 0 a が形成される。反射電極 3 0 に孔 3 0 a を形成することにより、バックライト（図 2 参照）7 0 から発せられた光を、反射電極 3 0 の孔 3 0 a を経由させて液晶層（図 2 参照）6 0 に入射させることができ、液晶表示装置 1 0 0（図 1 参照）を透過型モードで用いることが可能となる。
- また、反射電極 3 0 に孔 3 0 a を形成することにより、孔 3 0 a の周縁部には、
- 15 膜厚が連続的に変化する膜厚変化領域 3 0 b が形成される。以下に、この膜厚変化領域 3 0 b がどのようにして形成されるかについて、図 1 3 を参照しながら説明する。

図 1 3 は、図 1 2 に示す部分 Z の拡大図である。

- 尚、図 1 3 では、ドライエッチングする直前の反射電極膜 3 及び残部 4 が破
- 20 線で示され、反射電極 3 0（即ち、ドライエッチングした後の反射電極膜 3）及びドライエッチングした後の残部 4' が実線で示されている。

- ドライエッチングを開始する前の段階において、反射電極膜 3 の第 1 部分 3 a は残部 4 で覆われていないため、ドライエッチングを行うと、反射電極膜 3 の第 1 部分 3 a は除去される。また、ドライエッチングを行うと、レジスト膜
- 25 の残部 4 が膜減りし、最終的には、実線で示した形状の残部 4' に変化する。
- 従って、反射電極膜 3 の第 2 部分 3 b は、ドライエッチングする前は残部 4 で覆われているが、ドライエッチングを行っている間に露出し、第 1 の部分 3 a

だけでなく第2の部分3bもエッチングされる。しかしながら、残部4に形成された孔4aの周縁部4dは、内壁面4bから残部4の上面4cに向かうにつれて膜厚が連続的に増加する膜厚分布を有している。従って、エッチングを開始してから第2の部分3bが露出するまでの時間は、周縁部4d内の膜厚の違いのため、第2の部分3bの部位に応じて変化する。この露出するまでの時間の違いにより、第2の部分3bにおけるエッチング深さEは、第2の部分3bの部位に応じて連続的に変化する。

反射電極膜3は上記のプロセスを経てエッチングされるため、反射電極30に形成された孔30aの周縁部（図13の網掛けで示された部分）に、厚さが連続的に変化する厚さ変化領域30bが形成される。この厚さ変化領域30bの表面30cの各部位における傾斜角 $\theta$ は、0度より大きく10度より小さい範囲内にすることが好ましい。傾斜角 $\theta$ を上記の範囲内にすることにより、反射電極30に良好な反射特性を持たせることができる。尚、この傾斜角 $\theta$ は、厚さ変化領域30bの表面30cの全領域に渡って0度より大きく10度より小さい範囲内にする必要はないが、良好な反射特性を確保するためには、厚さ変化領域30bの表面30cの半分以上の領域に渡って傾斜角 $\theta$ が0度より大きく10度より小さい範囲内にすることが好ましい。この目的を達成するためには、例えば、厚さ変化領域30bの厚さの最大値 $t_{max}$ と、当該厚さ変化領域30bの幅 $w$ との比 $R$ が $R=1.5$ 以上になるまで、反射電極膜3をエッチングすることが考えられる。比 $R$ が1.5以上になるまで反射電極膜3をエッチングをすることにより、厚さ変化領域30bの表面30cの半分以上の領域に渡って、傾斜角 $\theta$ を容易に0度より大きく10度より小さくすることが可能となる。

反射電極膜3のエッチングが終了した後、残部4を剥離する。

以上の工程を経て反射電極30が形成される。

本実施形態では、反射電極30が厚さ変化領域30bを有しているため、この反射電極30に良好な反射特性を持たせることができる。一方、反射電極3

0に良好な反射特性を持たせるために、反射電極30に厚さ変化領域30bを形成する代わりに、反射電極30に凹部又は凸部を持たせるための下地層をこの反射電極30の下に形成することが考えられる。しかしながら、反射電極30の下に下地層を形成するやり方では、以下のような欠点がある。この欠点について図14及び図15を参照しながら説明する。

図14は、反射電極の下に下地層を有する基板の平面図、図15は図14に示すVI-VI方向の断面図である。

反射電極400（ハッチングで示された部分）には、バックライトからの光を透過させるための窓400aが形成されている。反射電極400の下には、当該反射電極400に凹凸を持たせるための下地層50が形成されている。この下地層50を反射電極400の下に形成しておくことにより、反射電極400に所望の反射特性を持たせることができる。しかしながら、図14及び図15に示す方法では、反射電極400に凹凸を持たせるために、反射電極400を形成するためのパターニング工程に加えて、当該反射電極400に凹凸を持たせるための下地層50を形成する工程を予め行う必要がある。

これに対し、本実施形態では、反射電極30に形成される厚さ変化領域30bは、反射電極膜3をパターニングする間に形成される。従って、図14及び図15に示す方法と比較して、製造工程数及び製造コストの削減が図られる。

尚、本実施形態では、反射電極30に厚さ変化領域30bを設けるために、図7に示すように、多数の孔4aを有する残部4が残るようにレジスト膜を露光、現像している。しかしながら、必ずしも多数の孔4aを有する残部4が残るようにレジスト膜を露光、現像する必要はなく、図7とは異なる形状の残部が残るようにレジスト膜を露光、現像してもよい。以下に、図7とは異なる形状の残部を残した場合の一例について説明する。

図16は、図7とは異なる形状の残部が残るようにレジスト膜を露光、現像した直後の平面図、図17は、図16のVII-VII方向の断面図である。

図16及び図17では、画素領域Pの各々に対応する部分に、略円形状の多

数の残部 40 が残るように、レジスト膜を露光及び現像している。図 16 及び図 17 では、この残部 40 が存在する部分を斜線で示してある。レジスト膜を露光及び現像した後、このレジスト膜の残部 40 をポストバークする（図 18 及び図 19 参照）。

- 5 図 18 は、レジスト膜の残部 40 をポストバークした後の基板の断面図、図 19 は、図 18 に示す領域 Z の拡大図である。

レジスト膜の残部 40 をポストバークする前（図 17 参照）では、残部 40 の各々の側端面 40 a は、基板 1 の表面に対し垂直に広がるように形成されている。しかしながら、レジスト膜の残部 40 をポストバークすると、この残部  
10 40 が熔融するため、側端面 40 a の形状が図 19 に示すように丸みを帯びた形状に変化する。この側端面 40 a の形状の変化により、残部 40 の周縁部 40 c の厚さは、側端面 40 a から残部 40 の上面 40 b に向かうにつれて連続的に増加する。この残部 40 をマスクとして反射電極膜 3 をドライエッチングする（図 20 参照）。

- 15 図 20 は、反射電極膜 3 をドライエッチングした後の断面図である。

残部 40 をマスクとして反射電極膜 3 をドライエッチングすると、残部 40 の各々の下に反射電極 31 が形成される。従って、画素領域この反射電極 31 の周縁部には、図 13 を参照しながら説明したようにして、厚さが連続的に変化する厚さ変化領域 31 a が形成される。従って、この反射電極 31 は、反射  
20 電極 30（図 11 参照）と同様に、良好な反射特性を有することが可能となる。

尚、本実施形態では、単純マトリクス方式を採用した液晶表示装置 100 が示されているが、本発明は、例えば、TFT等のスイッチング素子を用いたアクティブマトリクス方式を採用した液晶表示装置にも適用することができる。

25

産業上の利用可能性

製造工程数及び製造コストの削減が図られた反射電極形成方法及びこの方

法が適用された液晶表示装置が提供される。

## 請求の範囲

1. 基板上に複数の反射電極を形成する反射電極形成方法であって、  
前記基板上に前記反射電極の材料を有する第1の膜を形成する工程と、
- 5 前記第1の膜の、前記反射電極に対応する部分が残るように、前記第1の膜をパターニングする工程とを備え、  
前記パターニングする工程が、前記第1の膜の前記反射電極に対応する部分に、前記第1の膜の厚さが連続的に変化する厚さ変化領域を形成することを特徴とする反射電極形成方法。
- 10
2. 前記パターニングする工程が、前記厚さ変化領域が0度より大きく10度より小さい傾斜角を有するように前記厚さ変化領域を形成することを特徴とする請求項1に記載の反射電極形成方法。
- 15
3. 前記パターニングする工程が、前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が1.5以上となるように、前記厚さ変化領域を形成することを特徴とする請求項1又は2に記載の反射電極形成方法。
4. 前記パターニングする工程が、前記第1の膜の上に感光性膜を形成する
- 20 第1工程と、  
前記感光性膜を露光及び現像することにより、前記感光性膜を前記複数の反射電極のパターンに対応する形状にパターニングする第2工程と、  
前記パターニングされた感光性膜をポストバークする第3工程と、  
前記ポストバークされた感光性膜をマスクとして、前記第1の膜をドライエッチングする第3工程とを備えたことを特徴とする請求項1乃至3のうちの
- 25 いずれか1項に記載の反射電極形成方法。

5. 複数の画素領域の各々に前記反射電極が一つ形成され、  
前記反射電極の各々は複数の孔を有するものであり、  
前記第2工程が、前記感光性膜のうちの、前記複数の反射電極の各々の周囲  
に対応する部分と、前記複数の孔の各々に対応する部分とが除去されるように、  
5 前記感光性膜をパターンニングする工程であることを特徴とする請求項4に記載  
の反射電極形成方法。
6. 複数の画素領域の各々に前記反射電極が少なくとも2つ形成され、  
前記第2工程が、前記感光性膜のうちの、前記複数の反射電極の各々の周囲  
10 に対応する部分が除去されるようにパターンニングする工程であることを特徴  
とする請求項4に記載の反射電極形成方法。
7. 前記第1の膜を形成する工程の前に、複数の透明電極を形成する工程を  
備えたことを特徴とする請求項1乃至6のうちのいずれか1項に記載の反射  
15 電極形成方法。
8. 基板上に複数の反射電極を有する液晶表示装置であって、  
前記複数の反射電極の各々が、当該反射電極の厚さが連続的に変化する厚さ  
変化領域を有することを特徴とする液晶表示装置。  
20
9. 複数の画素領域の各々に前記反射電極が一つ形成され、  
前記複数の反射電極の各々は複数の孔を有するものであり、  
前記厚さ変化領域が、前記孔の周縁部に設けられたことを特徴とする請求項  
8に記載の液晶表示装置。  
25
10. 前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が、  
1.5以上であることを特徴とする請求項9に記載の液晶表示装置。

1 1. 複数の画素領域の各々に前記反射電極が少なくとも2つ以上形成され、前記厚さ変化領域が、前記複数の反射電極の各々の周縁部に設けられたことを特徴とする請求項8に記載の液晶表示装置。

5

1 2. 前記厚さ変化領域の幅と、当該厚さ変化領域の厚さの最大値との比が、1.5以上であることを特徴とする請求項11に記載の液晶表示装置。

1 3. 前記厚さ変化領域が、0度より大きく10度より小さい傾斜角を有することを特徴とする請求項8乃至12のうちのいずれか1項に記載の液晶表示装置。

10

1 4. 前記反射電極の下に透明電極が形成されたことを特徴とする請求項8乃至13のうちのいずれか1項に記載の液晶表示装置。

15



図 1

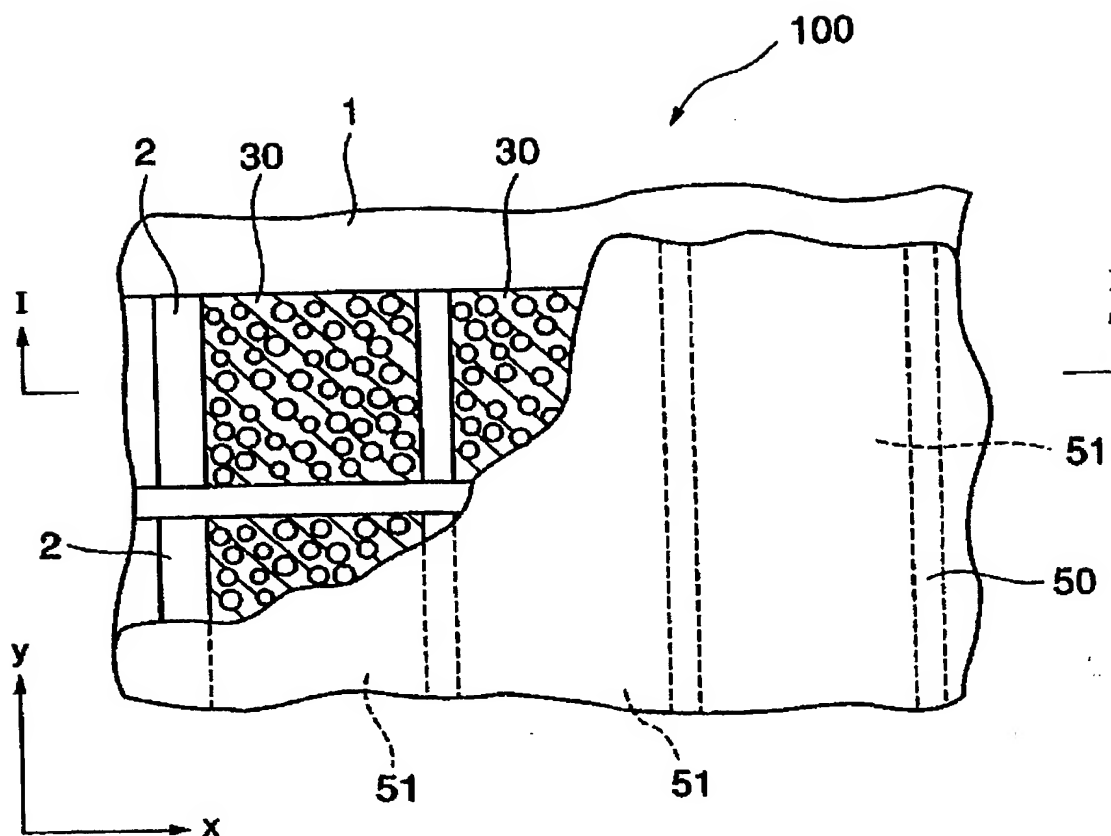


図 2

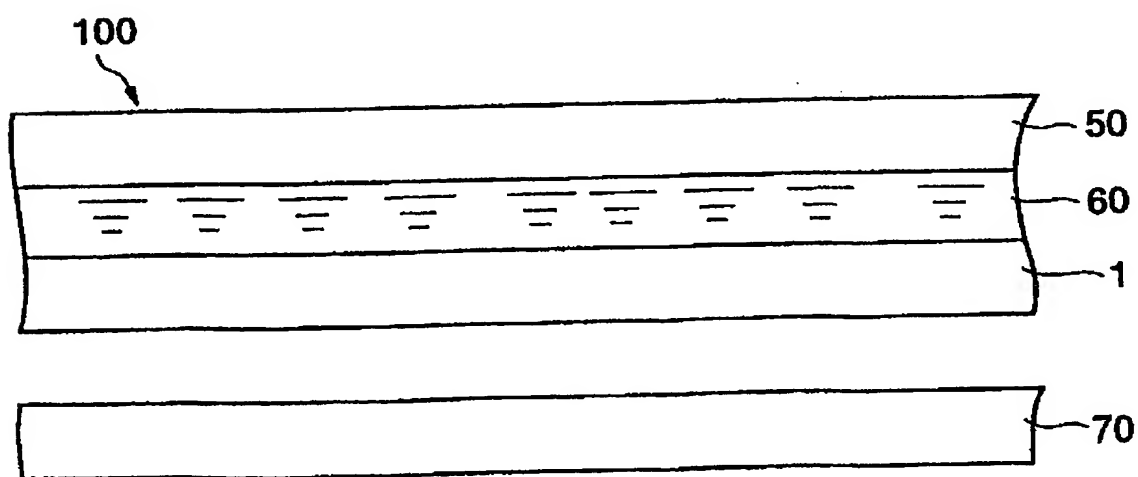


図 3

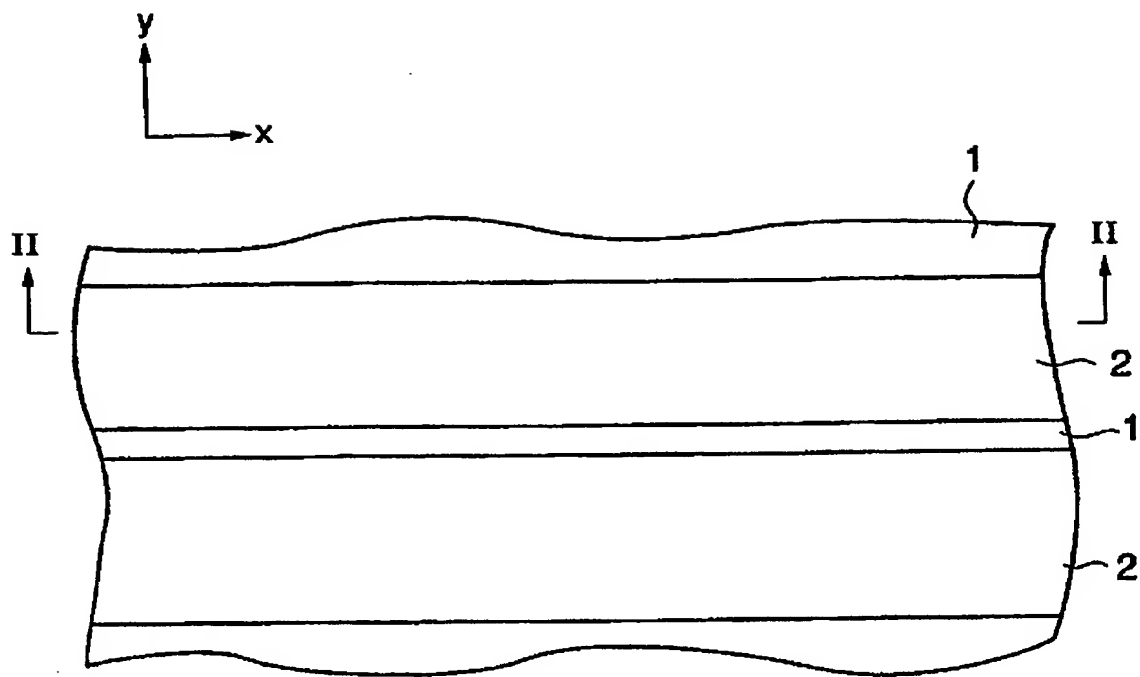


図 4

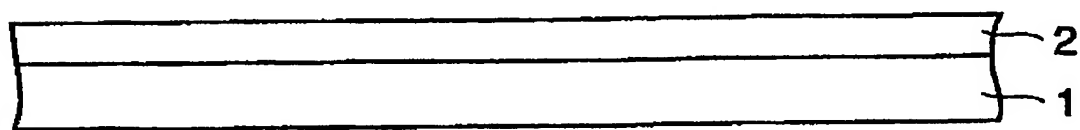


図 5

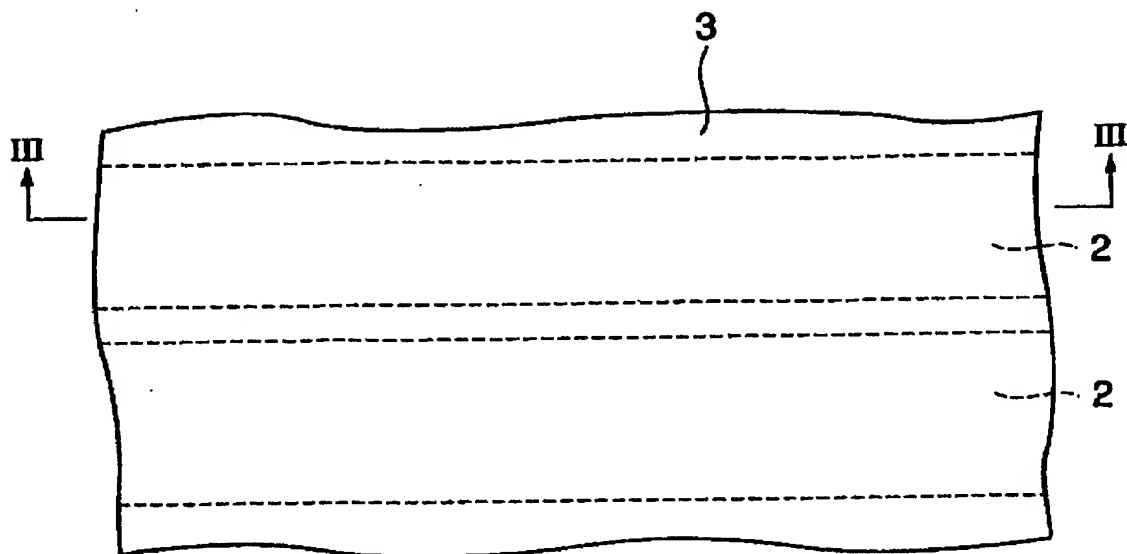


図 6

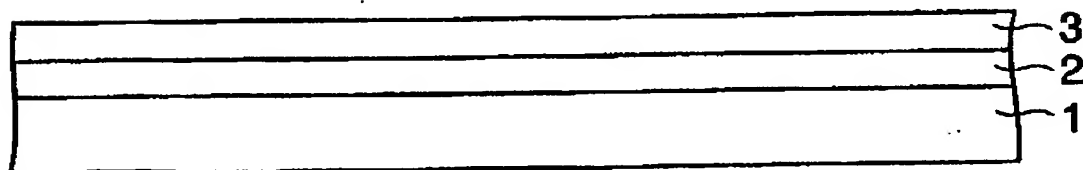


図 7

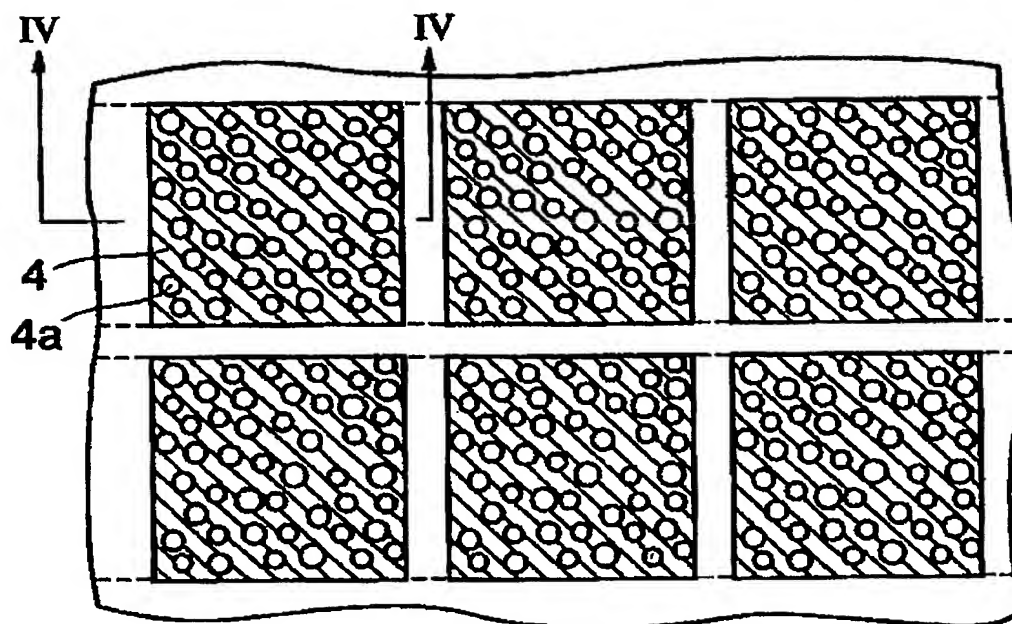


図 8

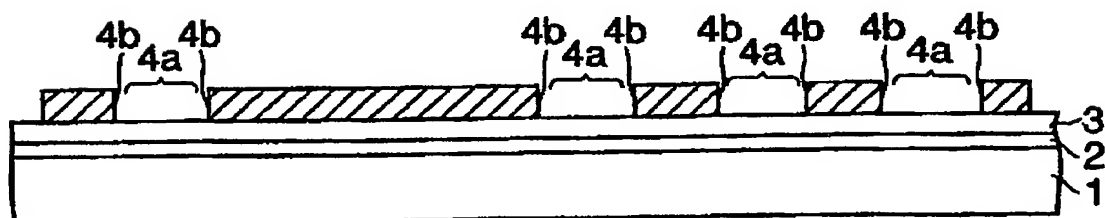


図 9

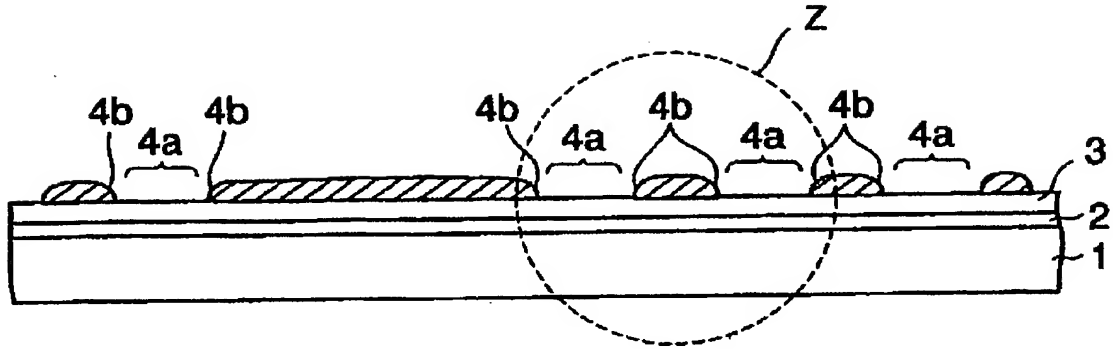


図 10

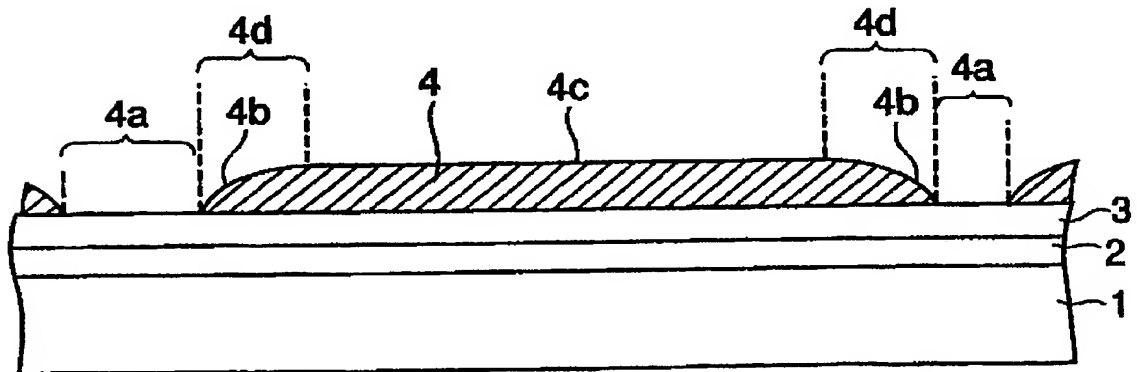


図 1 1

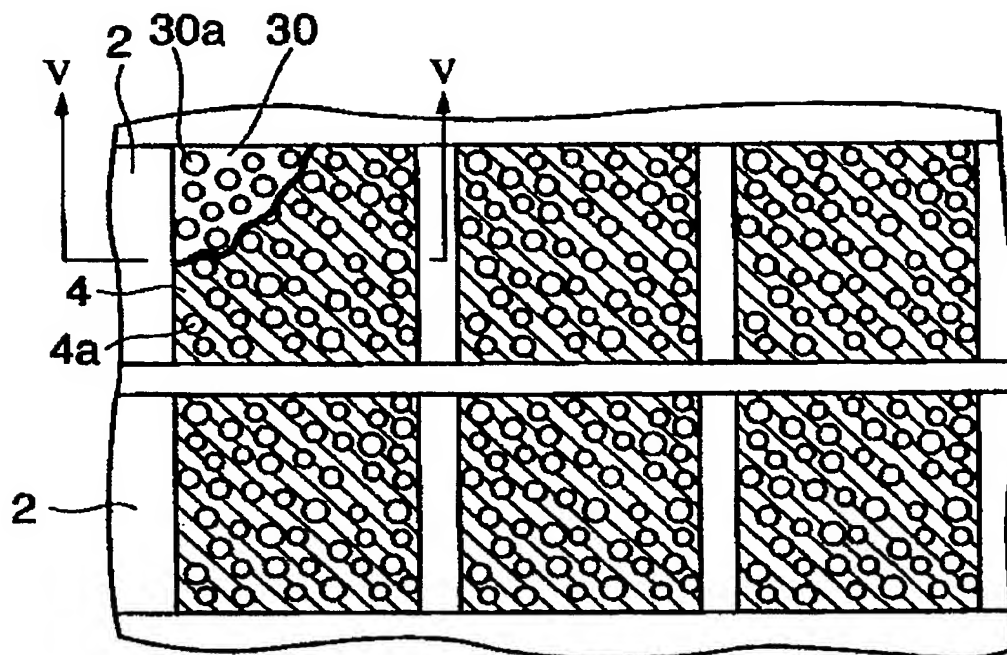


図 1 2

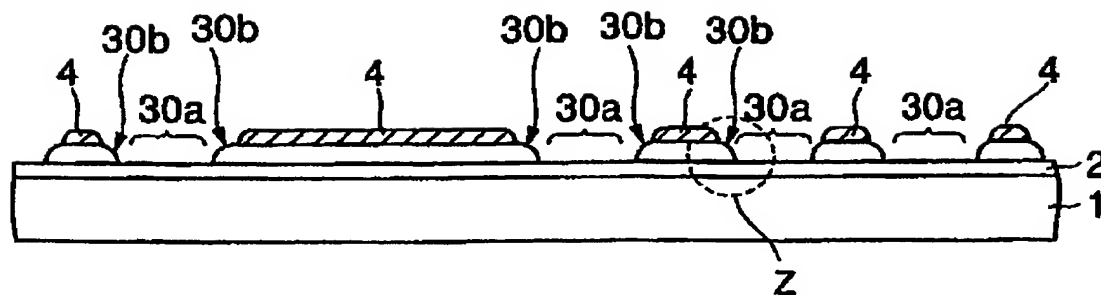


図 1 3

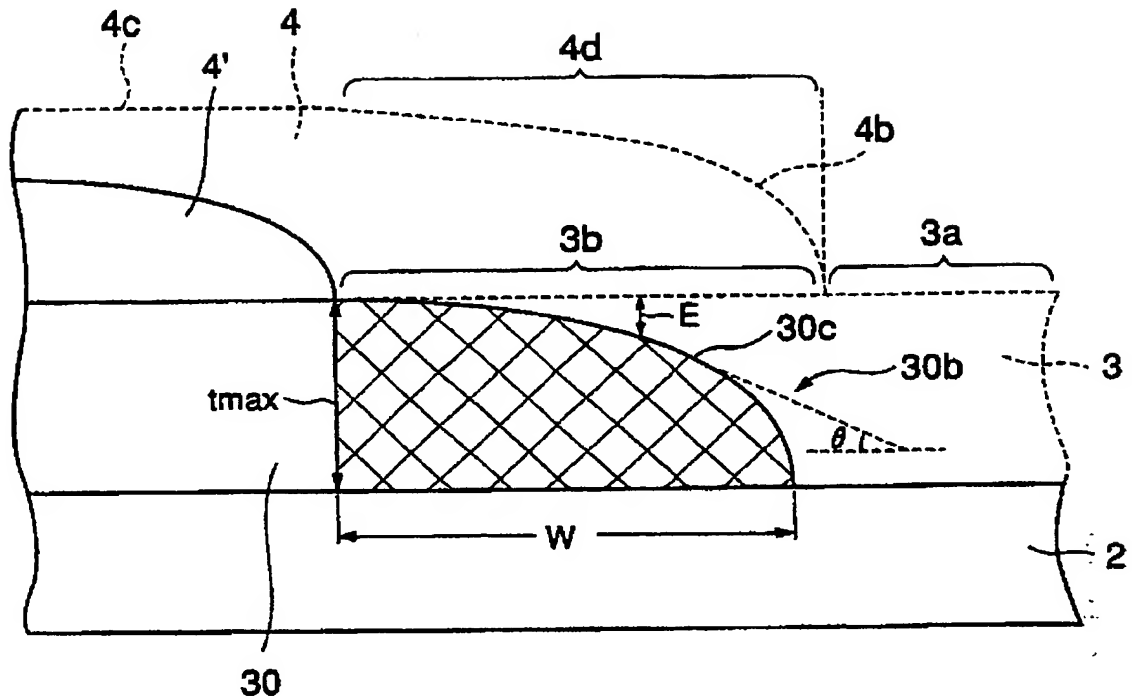


図 1 4

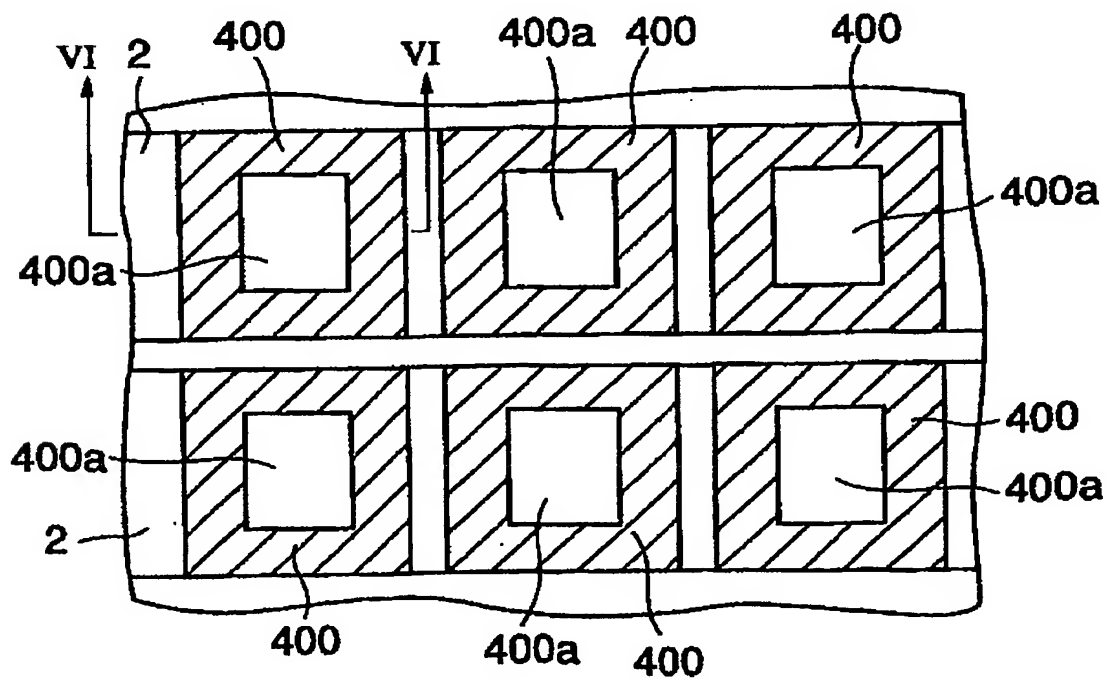


図 1 5

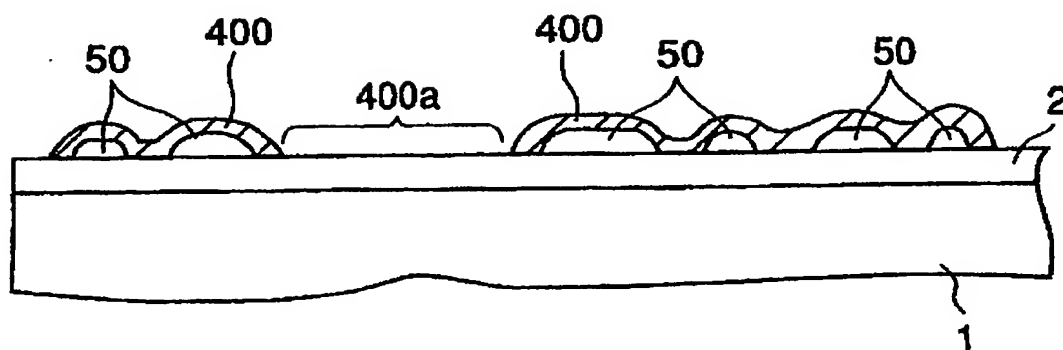


図 1 6

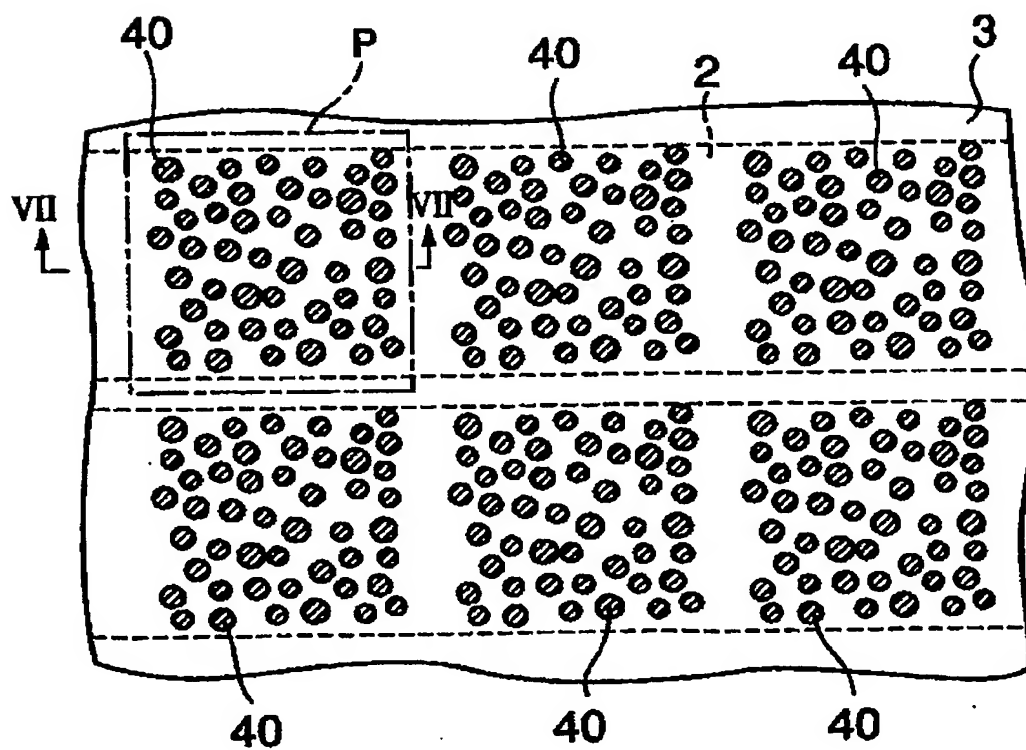




図 1 7

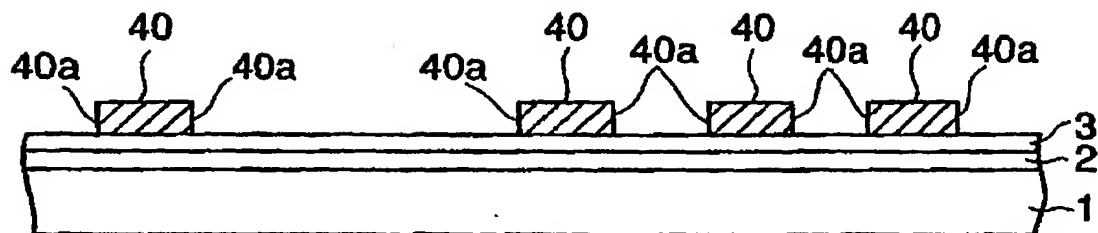


図 1 8

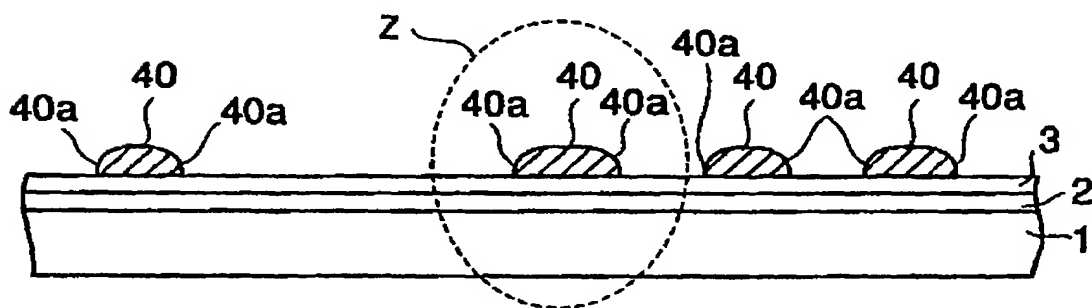


図 1 9

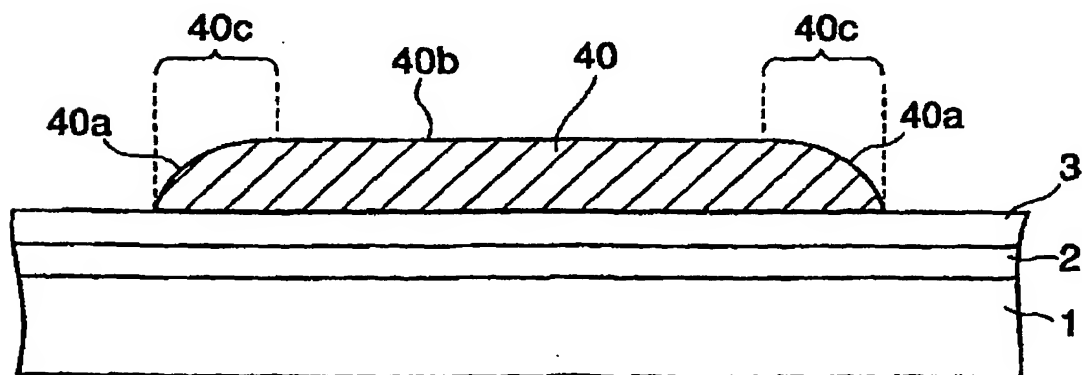
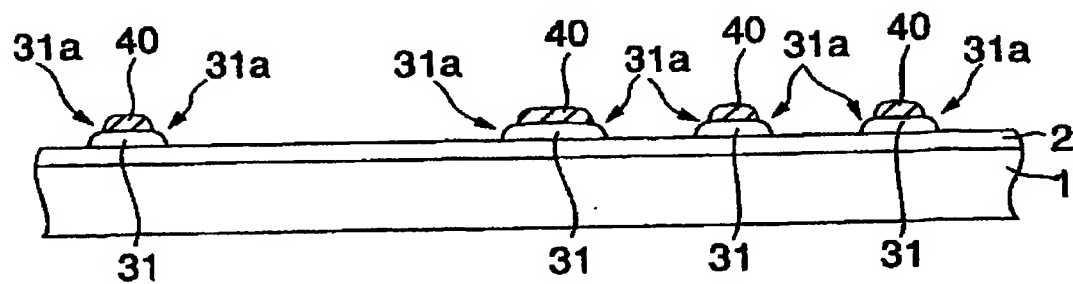


図 20



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/10136

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G02F1/1343, G02F1/1335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G02F1/1343, G02F1/1335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 8-114797 A (Seiko Epson Corp.), 07 May, 1996 (07.05.96), Full text; all drawings Full text; all drawings (Family: none)	1-3, 8, 11-12 4-7, 9-10, 13-14
X Y	JP 2-214827 A (Seiko Instruments Inc.), 27 August, 1990 (27.08.90), Page 3, upper left column, lines 16 to 19; Fig. 3 Page 3, upper left column, lines 16 to 19; Fig. 3 (Family: none)	1, 8, 11 4-7, 9-10, 13-14
X Y	JP 11-212106 A (Matsushita Electric Industrial Co., Ltd.), 06 August, 1999 (06.08.99), Par. No. [0003] Par. No. [0003] (Family: none)	1, 8, 11 4-7, 9-10, 13-14

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents; such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
27 November, 2002 (27.11.02)Date of mailing of the international search report  
17 December, 2002 (17.12.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

International application No.  
PCT/JP02/10136

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-268347 A (Sharp Corp.), 09 October, 1998 (09.10.98), Par. Nos. [0027] to [0033]; Fig. 1 (Family: none)	4-7
Y	US 2001/0001482 A1 (Fujitsu Ltd.), 24 March, 2001 (24.03.01), Par. Nos. [0073] to [0080], [0105]; Figs. 1 to 6 & US 6198132 B1 & JP 10-319441 A Par. Nos. [0022] to [0028], [0049]; Figs. 1 to 6	4-7
Y	JP 7-318929 A (Casio Computer Co., Ltd.), 08 December, 1995 (08.12.95), Par. Nos. [0051] to [0055]; Fig. 5 (Family: none)	5-7, 9-10, 13-14
Y	US 5753937 A (Casio Computer Co., Ltd.), 19 March, 1998 (19.03.98), Column 33, line 57 to column 34, line 26; Fig. 28 & JP 7-333598 A Par. Nos. [0056] to [0060]; Fig. 5	5-7, 9-10, 13-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G02F1/1343, G02F1/1335

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G02F1/1343, G02F1/1335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2002年  
日本国登録実用新案公報 1994-2002年  
日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 8-114797 A (セイコーエプソン株式会社) 1996.05.07 全文, 全図 全文, 全図 (ファミリーなし)	1-3, 8, 11-12 4-7, 9-10, 13-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
27.11.02

国際調査報告の発送日  
17.12.02

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
藤岡 善行  
電話番号 03-3581-1101 内線 3293



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2-214827 A (セイコー電子株式会社) 1990. 08. 27 第3頁左上欄第16~19行, 第3図 第3頁左上欄第16~19行, 第3図 (ファミリーなし)	1, 8, 11 4-7, 9-10, 13-14
X Y	JP 11-212106 A (松下電器産業株式会社) 1999. 08. 06 段落番号【0003】 段落番号【0003】 (ファミリーなし)	1, 8, 11 4-7, 9-10, 13-14
Y	JP 10-268347 A (シャープ株式会社) 1998. 10. 09 段落番号【0027】~【0033】, 図1 (ファミリーなし)	4-7
Y	US 2001/0001482 A1 (FUJITSU LIMITED) 2001. 03. 24 段落番号【0073】~【0080】、【0105】 Fig 1~6 & US 6198132 B1 & JP 10-319441 A 段落番号【0022】~【0028】、【0049】 図1~6	4-7
Y	JP 7-318929 A (カシオ計算機株式会社) 1995. 12. 08 段落番号【0051】~【0055】, 図5 (ファミリーなし)	5-7, 9-10, 13-14
Y	US 5753937 A (Casio Computer Co. Ltd.) 1998. 03. 19 第33欄第57行~第34欄第26行, Fig 28 & JP 7-333598 A 段落番号【0056】~【0060】, 図5	5-7, 9-10, 13-14